

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hideyuki Otake

Serial No.: 10/625,902

Filed: July 24, 2003



Group Art Unit: 2819

Examiner: J. Jeanglaude

Confir. No.: 1200

For: DIGITAL-TO-ANALOG CONVERTING CIRCUIT

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
Customer Window
Randolph Building
401 Dulany Street
Alexandria, VA 22314

Date: June 13, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2002-215121 filed July 24, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.
Registration No. 33,581

One Freedom Square
11951 Freedom Drive, Suite 1260
Reston, Virginia 20190
Tel. (571) 283-0720
Fax. (571) 283-0740

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月24日

出 願 番 号

Application Number:

特願2002-215121

[ST.10/C]:

[JP2002-215121]

出 願 人

Applicant(s):

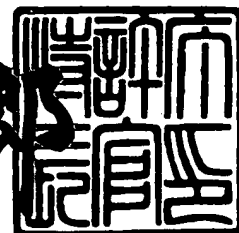
沖電気工業株式会社
株式会社 沖マイクロデザイン

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



【書類名】 特許願

【整理番号】 KT000418

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03M 1/00

【発明者】

【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社
沖マイクロデザイン内

【氏名】 大竹 英之

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【特許出願人】

【識別番号】 591049893

【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-5919-3808

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル／アナログ変換回路

【特許請求の範囲】

【請求項 1】 第 1 電位を供給する第 1 電位端子と、
 第 2 電位を供給する第 2 電位端子と、
 アナログ信号を出力するための出力端子と、
 前記第 1 電位端子と前記出力端子との間に直列に接続された $(2^n - 1)$ 個の
 第 1 電位側抵抗と、
 前記第 1 電位側抵抗に対応して設けられ、前記第 1 電位端子と前記第 1 電位側
 抵抗との間の経路を切り替えて、前記第 1 電位端子と前記出力端子との間に介さ
 れる前記第 1 電位側抵抗の数を 1 個から $(2^n - 1)$ 個の間で変化させる $(2^n - 1)$ 個の第 1 電位側スイッチと、
 デジタル信号が入力されて前記第 1 電位側スイッチを制御する第 1 デコーダ
 回路と、
 前記第 2 電位端子と前記出力端子との間に直列に接続された $(2^n - 1)$ 個の
 第 2 電位側抵抗と、
 前記第 2 電位側抵抗に対応して設けられ、前記第 2 電位端子と前記第 2 電位側
 抵抗との間の経路を切り替えて、前記第 2 電位端子と前記出力端子との間に介さ
 れる前記第 2 電位側抵抗の数を 0 個から $(2^n - 1)$ 個の間で変化させる 2^n 個
 の第 2 電位側スイッチと、
 デジタル信号が入力されて前記第 2 電位側スイッチを制御する第 2 デコーダ
 回路と、
 を含むことを特徴とする、デジタル／アナログ変換回路（ n は分解能を表す自
 然数である）。

【請求項 2】 前記第 1 電位側スイッチは、ソースが前記第 1 電位端子に接
 続された P チャネル型 MOS トランジスタから構成され、前記第 2 電位側スイッ
 チは、ソースが前記第 2 電位端子に接続された N チャネル型 MOS トランジスタ
 から構成されることを特徴とする、請求項 1 に記載のデジタル／アナログ変換
 回路。

【請求項 3】 前記デコーダ回路は、更に、所望の分解能を選択する選択回路を有しており、前記選択回路に入力された選択信号を受けて、前記第 1 デコーダ回路は、 $(2^m - 1)$ 個の第 1 電位側スイッチのみを制御し、前記第 2 デコーダ回路は、 2^m 個の第 2 電位側スイッチのみを制御することを特徴とする、請求項 1 または 2 に記載のデジタル／アナログ変換回路（ m は n より低い分解能を表す自然数である）。

【請求項 4】 前記第 1 デコーダ回路と前記第 2 デコーダ回路は、前記デジタル信号の入力端子を共有する一の回路であることを特徴とする、請求項 1、2 または 3 のいずれかに記載のデジタル／アナログ変換回路。

【請求項 5】 前記第 1 電位は基準となる所定の基準電位であり、前記第 2 電位は接地電位であることを特徴とする、請求項 1、2、3 または 4 のいずれかに記載のデジタル／アナログ変換回路。

【請求項 6】 前記選択回路は、前記デジタル信号と前記選択信号とが入力される OR 回路により構成されることを特徴とする、請求項 3 に記載のデジタル／アナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に内蔵されて使用されることが多い抵抗分圧方式のデジタル／アナログ変換回路（以下、D/A 変換回路という。）に関する。

【0002】

【従来の技術】

図 4 は、従来の D/A 変換回路 40 の構成の概略を示す説明図である。この D/A 変換回路 40 は、分解能 3 ビットの場合の回路である。この D/A 変換回路 40 について概説すると、基準電位を供給する基準電位端子 V_{ref} と接地電位を供給する接地端子 GND との間に、抵抗値の等しい $2^3 = 8$ 個の抵抗 R が直列に接続されている。そして、デジタル信号（コード）がデコーダ回路（不図示）に入力されて、その制御により、スイッチ $SW0 \sim SW7$ のいずれか一つが選択されてオンになる。オンになったスイッチに対応するノード $N0 \sim N7$ のレベ

ルが増幅器AMPを通して、出力端子OUTから出力される。このようにして、基準電位と接地電位を8等分に分圧し、デジタル信号を所望のアナログ信号に変換することができる。なお、基準電位端子と抵抗Rの間に接続されたPMOSトランジスタPMOSは、イネーブル信号ENBに応じて、この回路の動作を禁止して消費電流を遮断するためのスイッチである。

【0003】

スイッチSW0～SW7は、図5に示したように、Pチャネル型MOSトランジスタ（以下、PMOSトランジスタという。）PMOSと、Nチャネル型MOSトランジスタ（以下、NMOSトランジスタという。）NMOSを組み合わせたアナログスイッチで実現するのが一般的である。これは、PMOSトランジスタとNMOSトランジスタを組み合わせることによって、スイッチのオン抵抗が一定値に近づくようにするためである。図6はMOSトランジスタに印加される電位と、MOSトランジスタのオン抵抗との関係を示す説明図である。図6（a）はPMOSトランジスタのオン抵抗を示し、図6（b）はNMOSトランジスタのオン抵抗を示し、図6（c）はPMOSトランジスタとNMOSトランジスタのオン抵抗の合成抵抗を示している。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来のD/A変換回路では以下の問題点を有していた。

①変換精度についての問題点

アナログスイッチのオン抵抗の合成抵抗は、図6（c）に示したように、完全に一定ではなく、入力側の電位により変化する。上記従来のD/A変換回路では、スイッチSW0～SW7に対応するノードN0～N7の電位がそれぞれ異なっており、オン抵抗の合成抵抗も各スイッチにより一定でなかった。その結果として、D/A変換精度の向上を図ることが難しかった。

②変換速度についての問題点

アナログスイッチには上述のようにオン抵抗があるため、回路内の寄生容量とにより、出力側の電圧レベル変化に時間が掛かる。このため、変換速度の向上を図ることが難しかった。

【 0 0 0 5 】

本発明は、従来のD/A変換回路が有する上記問題点に鑑みてなされたものであり、本発明の主な目的は、ディジタル/アナログ変換の変換精度及び変換速度の向上を図ることの可能な、新規かつ改良されたD/A変換回路を提供することである。

【 0 0 0 6 】

【課題を解決するための手段】

上記課題を解決するため、本発明によれば、第1電位を供給する第1電位端子と、第2電位を供給する第2電位端子と、アナログ信号を出力するための出力端子と、第1電位端子と出力端子との間に直列に接続された $(2^n - 1)$ 個の第1電位側抵抗と、第1電位側抵抗に対応して設けられ、第1電位端子と出力端子との間の経路を切り替えて、第1電位端子と出力端子との間に介される第1電位側抵抗の数を1個から $(2^n - 1)$ 個の間で変化させる $(2^n - 1)$ 個の第1電位側スイッチと、ディジタル信号が入力されて第1電位側スイッチを制御する第1デコーダ回路と、第2電位端子と出力端子との間に直列に接続された $(2^n - 1)$ 個の第2電位側抵抗と、第2電位側抵抗に対応して設けられ、第2電位端子と出力端子との間の経路を切り替えて、第2電位端子と出力端子との間に介される第2電位側抵抗の数を0個から $(2^n - 1)$ 個の間で変化させる 2^n 個の第2電位側スイッチと、ディジタル信号が入力されて第2電位側スイッチを制御する第2デコーダ回路とを含むことを特徴とする、ディジタル/アナログ変換回路が提供される(n は分解能を表す自然数である)。

【 0 0 0 7 】

なお、第1デコーダ回路と第2デコーダ回路は、ディジタル信号の入力端子を共有する一の回路として構成することも可能である。また、例えば、第1電位は基準となる所定の基準電位であり、第2電位は接地電位である。

【 0 0 0 8 】

従来のスイッチは、抵抗と出力端子との間の経路を切り替えるために用いられていた。このため、スイッチに印加される電位がそれぞれ異なっており、オン抵抗の合成抵抗も各スイッチにより一定でなかった。この点、本願の第1電位側ス

イチは、第 1 電位端子と第 1 電位側抵抗との間の経路を切り替えるために用いられるため、第 1 電位側スイッチに印加される電位は、すべて第 1 電位で共通である。このため、オン抵抗の合成抵抗も各スイッチで一定である。このことは第 2 電位側スイッチについても同様である。その結果として、D/A 変換精度の向上を図ることが可能である。

【 0 0 0 9 】

また、第 1 電位側スイッチは、ソースが第 1 電位端子に接続された PMOS トランジスタから構成され、第 2 電位側スイッチは、ソースが第 2 電位端子に接続された NMOS トランジスタから構成されるようにしてもよい。

【 0 0 1 0 】

PMOS トランジスタのソースが第 1 電位端子に接続されることにより、図 6 (a) に示したように、オン抵抗が最低になる部分で動作させることが可能である。また、NMOS トランジスタのソースが第 2 電位端子に接続されることにより、図 6 (b) に示したように、オン抵抗が最低になる部分で動作させることが可能である。このように、オン抵抗が低い部分（実質的には 0 に近い状態）で動作させることにより、D/A 変換精度の向上を図ることが可能である。また、アナログスイッチを用いないので、回路内の寄生容量による電圧レベル変化の遅延を防止することができ、変換速度の向上を図ることが可能である。

【 0 0 1 1 】

デコーダ回路は、更に、所望の分解能を選択する選択回路を有しており、選択回路に入力された選択信号を受けて、第 1 デコーダ回路は、 $(2^m - 1)$ 個の第 1 電位側スイッチのみを制御し、第 2 デコーダ回路は、 2^m 個の第 2 電位側スイッチのみを制御するように構成することも可能である（ m は n より低い分解能を表す自然数である）。ここで選択回路は、例えば、ディジタル信号と選択信号とが入力される OR 回路により構成される。かかる構成によれば、分解能 n ビットを想定して構成された D/A 変換回路を、分解能 m ビットとして使用することができる。すなわち、D/A 変換回路固有の最大分解能以下であれば、任意の分解能を選択して使用することが可能である。

【 0 0 1 2 】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかるデジタル／アナログ変換回路（D／A変換回路）の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0013】

（第1の実施の形態）

本実施の形態では、基準電位と分圧用抵抗の間、及び、接地電位と分圧用抵抗の間にスイッチを備えることにより、スイッチに印加される電位を一定にするとともに、スイッチとしてアナログスイッチを用いない構成について説明する。

【0014】

図1は、本実施の形態にかかるD／A変換回路の概略を示す構成図である。本実施の形態では、分解能 $n = 3$ ビットのD／A変換回路10について説明するが、本発明は、分解能が何ビットであっても適用可能である。

【0015】

（第1の実施の形態の構成）

D／A変換回路10は、図1に示したように、基準電位を供給する基準電位端子 V_{ref} と、接地電位を供給する接地電位端子 GND と、アナログ信号を増幅するための増幅器AMP及びアナログ信号を出力するための出力端子OUTと、基準電位端子 V_{ref} と出力端子OUTとの間に直列に接続された、 $(2^n - 1) = 7$ 個の基準電位側抵抗 $R1$ と、基準電位側抵抗 $R1$ に対応して設けられた $(2^n - 1) = 7$ 個のPMOSトランジスタ $P1 \sim P7$ と、接地電位端子 GND と出力端子OUTとの間に直列に接続された $(2^n - 1) = 7$ 個の接地電位側抵抗 $R2$ と、接地電位側抵抗 $R2$ に対応して設けられた $2^n = 8$ 個のNMOSトランジスタ $N0 \sim N7$ を含んで構成されている。

【0016】

（基準電位側抵抗 $R1$ ）

基準電位側抵抗 $R1$ は、それぞれ、ソースが基準電位端子 V_{ref} に接続され、ドレインが増幅器AMPを介して出力端子OUTに接続され、ゲートが後述の

デコーダ回路 20 に接続されている。なお、基準電位側抵抗 R1 の抵抗値はそれぞれ等しいものとして説明する。

【 0 0 1 7 】

(PMOS トランジスタ P1 ~ P7)

PMOS トランジスタ P1 ~ P7 は、基準電位端子 Vref と基準電位側抵抗 R1 との間の経路を切り替えて、基準電位端子 Vref と出力端子 OUT との間に介される基準電位側抵抗 R1 の数を 1 個から 7 個の間で変化させるためのスイッチとして機能する。すなわち、PMOS トランジスタ P1 ~ P7 のいずれか 1 つがオンすることにより、基準電位端子 Vref と出力端子 OUT との間のいずれかの経路が選択され、これによって、基準電位端子 Vref と出力端子 OUT との間に介される基準電位側抵抗 R1 の数を 1 個から 7 個の間で変化させる。

【 0 0 1 8 】

(接地電位側抵抗 R2)

接地電位側抵抗 R2 は、それぞれ、ソースが基準電位端子 GND に接続され、ドレインが増幅器 AMP を介して出力端子 OUT に接続され、ゲートが後述のデコーダ回路 20 に接続されている。なお、接地電位側抵抗 R2 の抵抗値はそれぞれ等しく、また、上述の基準電位側抵抗 R1 とともに等しいものとして説明する。

【 0 0 1 9 】

(NMOS トランジスタ N0 ~ N7)

NMOS トランジスタ N0 ~ N7 は、接地電位端子 GND と接地電位側抵抗 R2 との間の経路を切り替えて、接地電位端子 GND と出力端子 OUT との間に介される接地電位側抵抗 R2 の数を 0 個から 7 個の間で変化させるためのスイッチとして機能する。すなわち、NMOS トランジスタ N0 ~ N7 のいずれか 1 つがオンすることにより、接地電位端子 GND と出力端子 OUT との間のいずれかの経路が選択され、これによって、接地電位端子 GND と出力端子 OUT との間に介される接地電位側抵抗 R2 の数を 1 個から 7 個の間で変化させる。

【 0 0 2 0 】

次いで、上述の PMOS トランジスタ P1 ~ P7、及び、NMOS トランジスタ N0 ~ N7 の切り替え制御について説明する。図 2 は、その PMOS トランジ

スタ P 1 ~ P 7 , 及び , NMOS トランジスタ N 0 ~ N 7 を制御するデコーダ回路の説明図である。

【 0 0 2 1 】

(デコーダ回路 2 0)

デコーダ回路 2 0 は , 図 2 に示したように , それぞれ 1 ビットのディジタル信号が入力される入力端子 b i t 0 , b i t 1 , b i t 2 を備え , 出力端子が , PMOS トランジスタ P 1 ~ P 7 の各ゲート , 及び , NMOS トランジスタ N 0 ~ N 7 の各ゲートに接続される論理回路である。

【 0 0 2 2 】

3 入力 AND ゲート A 0 には , 入力端子 b i t 2 からの入力信号の反転信号と , 入力端子 b i t 1 からの入力信号の反転信号と , 入力端子 b i t 0 からの入力信号の反転信号が入力される。3 入力 AND ゲート A 0 の出力信号は , 図 1 の NMOS トランジスタ N 0 のゲートに入力される。

【 0 0 2 3 】

3 入力 AND ゲート A 1 には , 入力端子 b i t 2 からの入力信号の反転信号と , 入力端子 b i t 1 からの入力信号の反転信号と , 入力端子 b i t 0 からの入力信号が入力される。3 入力 AND ゲート A 1 の出力信号は , 図 1 の NMOS トランジスタ N 1 のゲートに入力され , 出力信号の反転信号は , 図 1 の PMOS トランジスタ P 1 に入力される。

【 0 0 2 4 】

3 入力 AND ゲート A 2 には , 入力端子 b i t 2 からの入力信号の反転信号と , 入力端子 b i t 1 からの入力信号と , 入力端子 b i t 0 からの入力信号の反転信号が入力される。3 入力 AND ゲート A 2 の出力信号は , 図 1 の NMOS トランジスタ N 2 のゲートに入力され , 出力信号の反転信号は , 図 1 の PMOS トランジスタ P 2 に入力される。

【 0 0 2 5 】

3 入力 AND ゲート A 3 には , 入力端子 b i t 2 からの入力信号の反転信号と , 入力端子 b i t 1 からの入力信号と , 入力端子 b i t 0 からの入力信号が入力される。3 入力 AND ゲート A 3 の出力信号は , 図 1 の NMOS トランジスタ N

3 のゲートに入力され、出力信号の反転信号は、図 1 の PMOS トランジスタ P 3 に入力される。

【 0 0 2 6 】

3 入力 AND ゲート A 4 には、入力端子 b i t 2 からの入力信号と、入力端子 b i t 1 からの入力信号の反転信号と、入力端子 b i t 0 からの入力信号の反転信号が入力される。3 入力 AND ゲート A 4 の出力信号は、図 1 の NMOS トランジスタ N 4 のゲートに入力され、出力信号の反転信号は、図 1 の PMOS トランジスタ P 4 に入力される。

【 0 0 2 7 】

3 入力 AND ゲート A 5 には、入力端子 b i t 2 からの入力信号と、入力端子 b i t 1 からの入力信号の反転信号と、入力端子 b i t 0 からの入力信号が入力される。3 入力 AND ゲート A 5 の出力信号は、図 1 の NMOS トランジスタ N 5 のゲートに入力され、出力信号の反転信号は、図 1 の PMOS トランジスタ P 5 に入力される。

【 0 0 2 8 】

3 入力 AND ゲート A 6 には、入力端子 b i t 2 からの入力信号と、入力端子 b i t 1 からの入力信号と、入力端子 b i t 0 からの入力信号の反転信号が入力される。3 入力 AND ゲート A 6 の出力信号は、図 1 の NMOS トランジスタ N 6 のゲートに入力され、出力信号の反転信号は、図 1 の PMOS トランジスタ P 6 に入力される。

【 0 0 2 9 】

3 入力 AND ゲート A 7 には、入力端子 b i t 2 からの入力信号と、入力端子 b i t 1 からの入力信号と、入力端子 b i t 0 からの入力信号が入力される。3 入力 AND ゲート A 7 の出力信号は、図 1 の NMOS トランジスタ N 7 のゲートに入力され、出力信号の反転信号は、図 1 の PMOS トランジスタ P 7 に入力される。

【 0 0 3 0 】

イネーブル信号 EN が “ 0 ” の場合、3 入力 AND ゲート A 0 ～ A 7 は、すべての PMOS トランジスタ P 1 ～ P 7 及び NMOS トランジスタ N 0 ～ N 7 をオ

フさせ、D/A変換回路10の動作が禁止されて消費電流が遮断される。

【0031】

(第1の実施の形態の動作)

デコーダ回路20に入力される3ビットのデジタル信号を、(入力端子bit2の入力値, 入力端子bit1の入力値, 入力端子bit0の入力値)として表すと、(0, 0, 0)のとき、3入力ANDゲートA0の出力値に応じてNMOSトランジスタN0がオンし。他のトランジスタはオフする。このとき、再び図1を参照すると、出力端子OUTからは接地電位が出力される。

【0032】

以下同様に、

(0, 0, 1)のとき、3入力ANDゲートA1の出力値に応じてPMOSトランジスタP1及びNMOSトランジスタN1がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 1/8$ が出力される。

(0, 1, 0)のとき、3入力ANDゲートA2の出力値に応じてPMOSトランジスタP2及びNMOSトランジスタN2がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 2/8$ が出力される。

(0, 1, 1)のとき、3入力ANDゲートA3の出力値に応じてPMOSトランジスタP3及びNMOSトランジスタN3がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 3/8$ が出力される。

(1, 0, 0)のとき、3入力ANDゲートA4の出力値に応じてPMOSトランジスタP4及びNMOSトランジスタN4がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 4/8$ が出力される。

(1, 0, 1)のとき、3入力ANDゲートA5の出力値に応じてPMOSトランジスタP5及びNMOSトランジスタN5がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 5/8$ が出力される。

(1, 1, 0)のとき、3入力ANDゲートA6の出力値に応じてPMOSトランジスタP6及びNMOSトランジスタN6がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 6/8$ が出力される。

(1, 1, 1)のとき、3入力ANDゲートA7の出力値に応じてPMOSト

ランジスタ P 7 及び NMOS トランジスタ N 7 がオンし。他のトランジスタはオフする。このとき、出力端子からは基準電位 $\times 7/8$ が出力される。

【 0 0 3 3 】

(第 1 の実施の形態の効果)

以上のように、本実施の形態によれば、PMOS トランジスタ P 1 ~ P 7 (基準電位側スイッチ) は、基準電位端子 V r e f と基準電位側抵抗 R 1 との間の経路を切り替えるために用いられるため、PMOS トランジスタ P 1 ~ P 7 に印加される電位は、すべて基準電位で共通である。このため、オン抵抗の合成抵抗も各 PMOS トランジスタで一定である。このことは NMOS トランジスタ N 0 ~ N 7 (接地電位側スイッチ) についても同様である。その結果として、D/A 変換精度の向上を図ることが可能である。

【 0 0 3 4 】

また、スイッチに、PMOS トランジスタ P 1 ~ P 7, NMOS トランジスタ N 0 ~ N 7 を用い、アナログスイッチを用いないので、回路内の寄生容量による電圧レベル変化の遅延を防止することができ、変換速度の向上を図ることが可能である。

【 0 0 3 5 】

その他、本実施の形態によれば、以下の効果が得られる。

- ・分圧用の抵抗の大きさが D/A 変換回路 1 0 の大きさ全体に与える影響は小さいため、基準電位側抵抗 R 1, 及び、接地電位側抵抗 R 2 の増加によっても、D/A 変換回路 1 0 の大きさに与える影響は小さい。
- ・回路動作禁止用のスイッチを専用に設ける必要がないので、MOS トランジスタのオン抵抗による精度誤差を補正する設計が容易である。
- ・デコーダ回路 2 0 が論理回路で構成されるので半導体集積回路に内蔵して使用する場合に特に有効である。
- ・回路に含まれる抵抗がすべてが同じ大きさなので、製造上のばらつきが起こりやすい半導体集積回路に適している。

【 0 0 3 6 】

(第 2 の実施の形態)

本実施の形態では、デコーダ回路の構成を変更することにより、分解能を低くしたD/A変換回路としても使用できるようにした構成について説明する。

【0037】

(第2の実施の形態の構成)

図3は、本実施の形態にかかるD/A変換回路のうち、デコーダ回路の概略を示す説明図である。このデコーダ回路30は、図2に示したデコーダ回路20と置き換えて使用するものである。他の構成については、第1の実施の形態と実質的に同様であるため、重複説明を省略する。

【0038】

(デコーダ回路30)

デコーダ回路30は、図3に示したように、それぞれ1ビットのデジタル信号が入力される入力端子bit0, bit1, bit2を備え、出力端子が、PMOSトランジスタP1～P7の各ゲート、及び、NMOSトランジスタN0～N7の各ゲートに接続される論理回路である。図2のデコーダ回路との相違は、動作を選択する選択信号SELが追加された点である。

【0039】

選択信号SELが“1”の場合は、2入力ORゲートO1～O6の一の入力端子に“0”が入力されることにより、上記第1の実施の形態と実質的に同様の動作を行う。

【0040】

選択信号SELが“0”の場合は、2入力ORゲートO1～O4の一の入力端子に“1”が入力されて、PMOSトランジスタP1～P4が常にオフである。また、2入力ANDゲートA8～A11の一の入力端子に“0”が入力されて、NMOSトランジスタN4～N7は常にオフである。

【0041】

また、選択信号SELが“0”の場合は、2入力ORゲートO5, O6の一の入力端子に“1”が入力されることにより、入力端子bit2の値は後段の3入力ANDゲートA0～A7の出力値に影響を与えない。すなわち入力端子bit2の入力値にかかわらず入力端子bit0～bit1の入力値で $2^2 = 4$ 種類の

レベルを選択する。

【 0 0 4 2 】

(第 2 の実施の形態の動作)

デコーダ回路 3 0 に入力される 3 ビットのデジタル信号のうち、入力端子 $b_{it}2$ の入力値を無視して (ー, 入力端子 $b_{it}1$ の入力値, 入力端子 $b_{it}0$ の入力値) として表すと, (ー, 0, 0) のとき, 3 入力 AND ゲート A 0 の出力値に応じて NMOS トランジスタ N 0 がオンし, 他のトランジスタはオフする。このとき, 再び図 1 を参照すると, 出力端子 OUT からは接地電位が出力される。

【 0 0 4 3 】

以下同様に,

(ー, 0, 1) のとき, 3 入力 AND ゲート A 1, A 5 の出力値に応じて NMOS トランジスタ N 1 及び PMOS トランジスタ P 5 がオンし, 他のトランジスタはオフする。このとき, 出力端子 OUT からは接地電位 $\times 1 / 4$ が出力される。

(ー, 1, 0) のとき, 3 入力 AND ゲート A 2, A 6 の出力値に応じて NMOS トランジスタ N 2 及び PMOS トランジスタ P 6 がオンし, 他のトランジスタはオフする。このとき, 出力端子 OUT からは接地電位 $\times 2 / 4$ が出力される。

(ー, 1, 1) のとき, 3 入力 AND ゲート A 3, A 7 の出力値に応じて NMOS トランジスタ N 3 及び NMOS トランジスタ P 7 がオンし, 他のトランジスタはオフする。このとき, 出力端子 OUT からは接地電位 $\times 3 / 4$ が出力される。

【 0 0 4 4 】

(第 2 の実施の形態の効果)

以上説明したように, 本実施の形態によれば, 上記第 1 の実施の形態の効果に加え, 分解能 3 ビットを想定して構成された第 1 の実施の形態の D / A 変換回路 1 0 を, 分解能 2 ビットとして使用することができる。なお, デコーダ回路の入力 $b_{it}1$ に同様な変更を追加すれば分解能 1 ビットとして使用することも可能

である。すなわち、D/A変換回路固有の最大分解能以下であれば、任意の分解能を選択して使用することが可能である。

【 0 0 4 5 】

以上、添付図面を参照しながら本発明にかかるデジタル／アナログ変換回路の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【 0 0 4 6 】

例えば、上記各実施の形態では、デコーダ回路（20あるいは30）を備え、基準電位端子V_{ref}側に設けられたPMOSトランジスタP1～P7及び接地電位端子GND側に設けられたNMOSトランジスタN0～N7のすべてを、1つのデコーダ回路（20あるいは30）で制御する場合について説明したが、本発明はこれに限定されない。基準電位端子V_{ref}側に設けられたPMOSトランジスタP1～P7を制御する第1デコーダ回路と、接地電位端子GND側に設けられたNMOSトランジスタN0～N7を制御する第2デコーダ回路とを別個に備えるようにしてもよい。

【 0 0 4 7 】

【発明の効果】

以上説明したように、本発明によれば、第1電位側スイッチは、第1電位端子と第1電位側抵抗との間の経路を切り替えるために用いられるため、第1電位側スイッチに印加される電位は、すべて第1電位で共通である。このため、オン抵抗の合成抵抗も各スイッチで一定である。このことは第2電位側スイッチについても同様である。その結果として、D/A変換精度の向上を図ることが可能である。

【 0 0 4 8 】

また、アナログスイッチを用いないので、回路内の寄生容量による電圧レベル変化の遅延を防止することができ、変換速度の向上を図ることが可能である。

【 0 0 4 9 】

また、本発明によれば、分解能 n ビットを想定して構成された D/A 変換回路を、分解能 m ビットとして使用することができる。すなわち、 D/A 変換回路固有の最大分解能以下であれば、任意の分解能を選択して使用することが可能である。

【図面の簡単な説明】

【図 1】

D/A 変換回路の説明図である。

【図 2】

図 1 に含まれる MOS トランジスタのゲートを制御するデコーダ回路の説明図である。

【図 3】

図 1 に含まれる MOS トランジスタのゲートを制御する他のデコーダ回路の説明図である。

【図 4】

従来の D/A 変換回路の説明図である。

【図 5】

アナログスイッチの説明図である。

【図 6】

オン抵抗の説明図であり、(a) は PMOS トランジスタのオン抵抗、(b) は NMOS トランジスタのオン抵抗、(c) はアナログスイッチのオン抵抗を示している。

【符号の説明】

1 0 D/A 変換回路

V_{ref} 基準電位端子

GND 接地電位端子

AMP 増幅器

OUT 出力端子

R 1 基準電位側抵抗

P 1 ~ P 7 PMOS トランジスタ (基準電位側スイッチ)

R 2 接地電位側抵抗

N 0 ~ N 7 NMOS トランジスタ (接地電位側スイッチ)

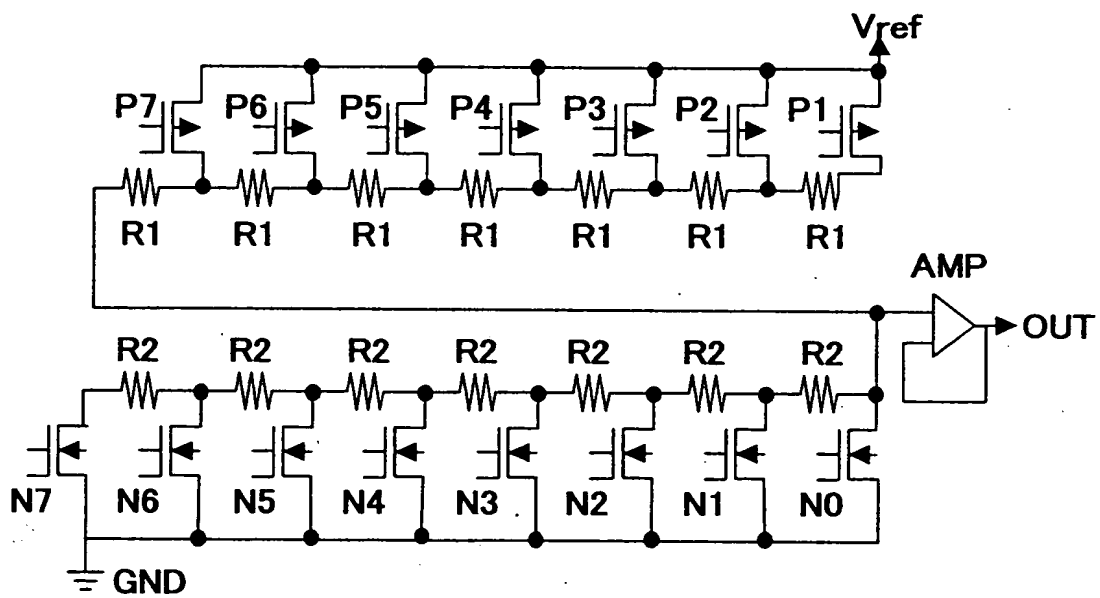
2 0 デコーダ回路

3 0 デコーダ回路

【書類名】 図面

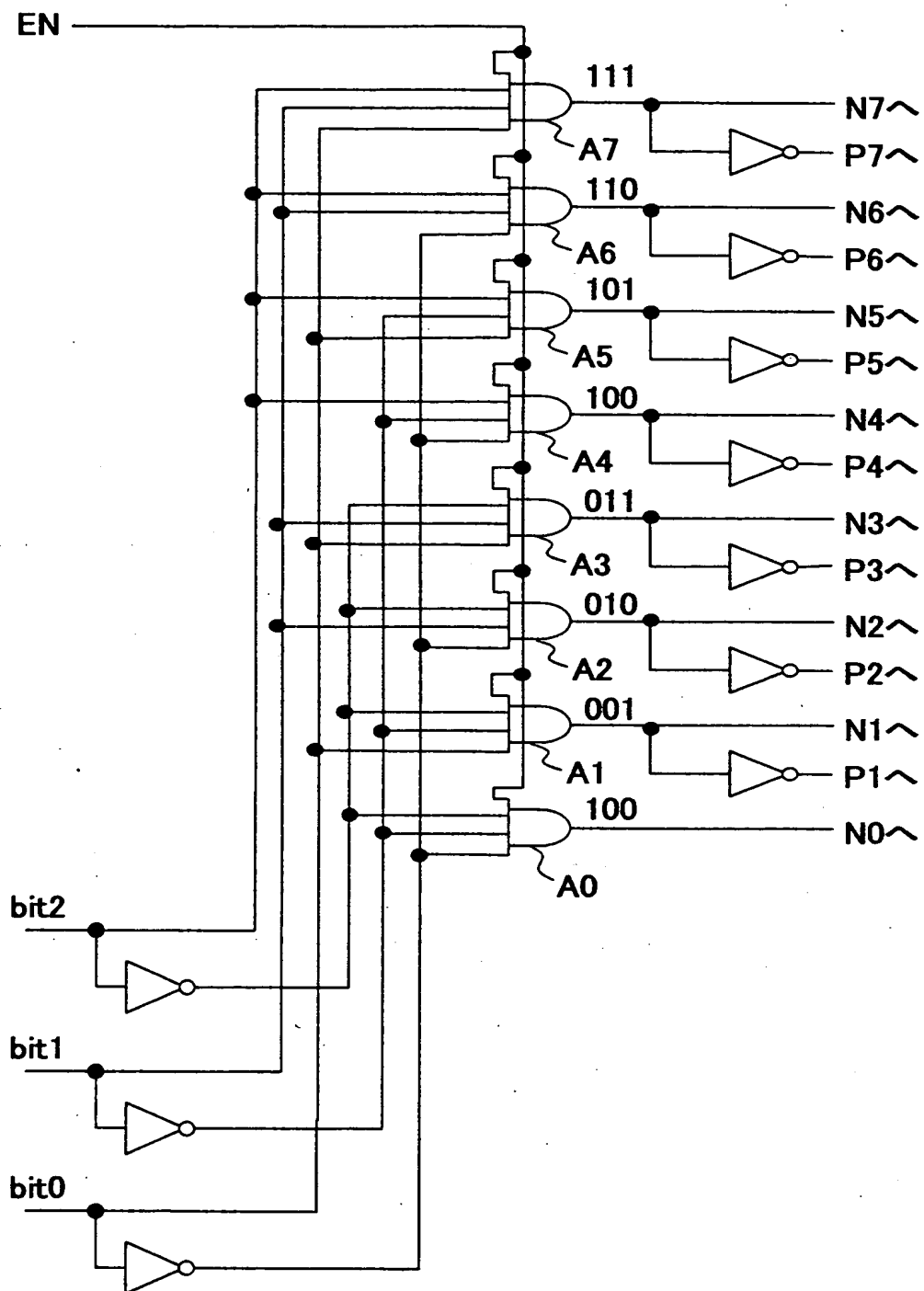
【図 1】

10 D/A 変換回路



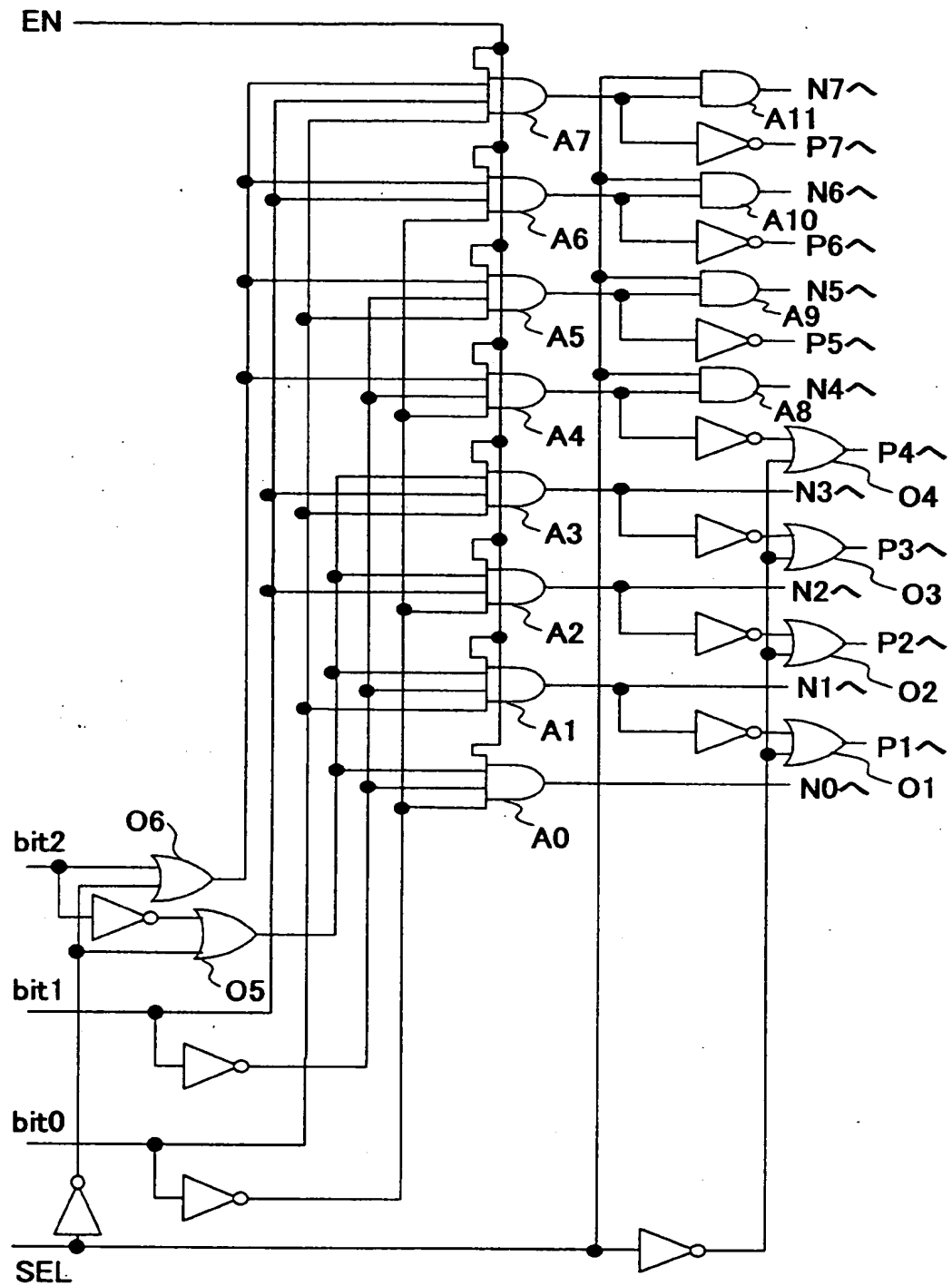
【図 2】

20 デコーダ回路

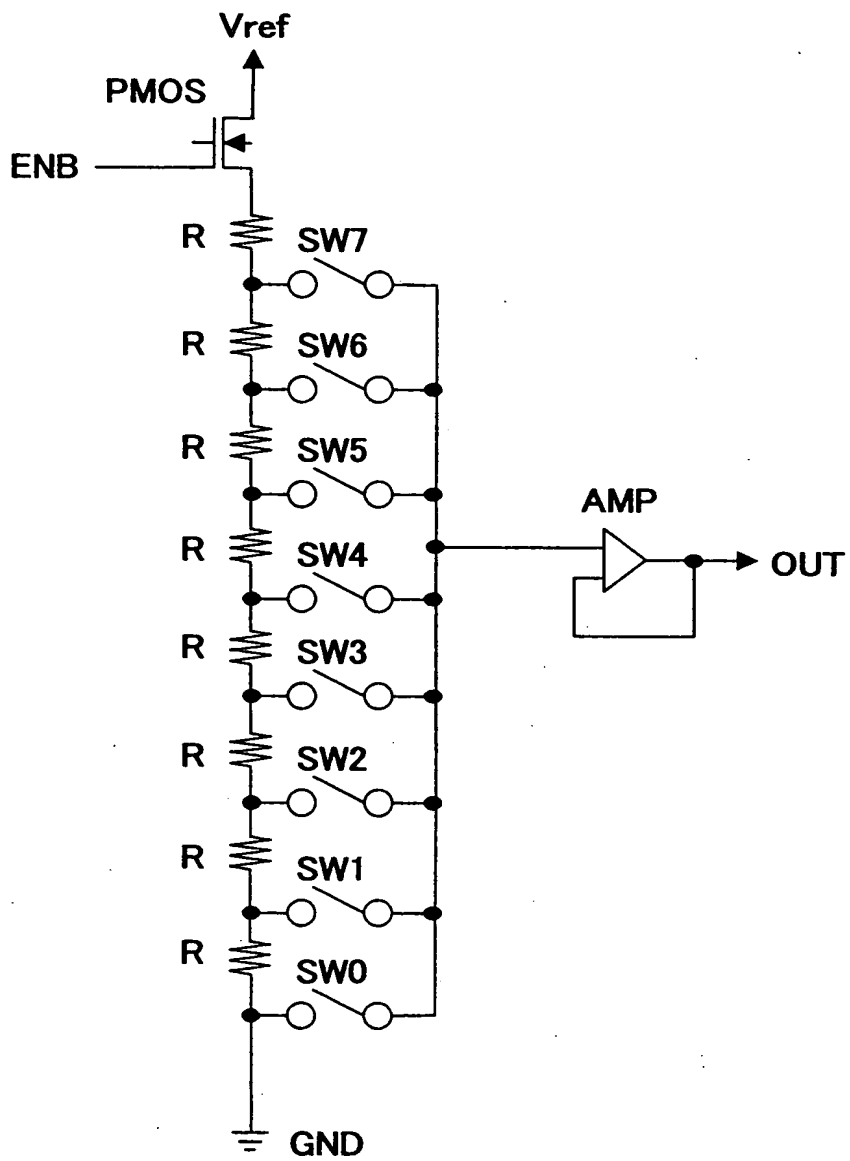


【図 3】

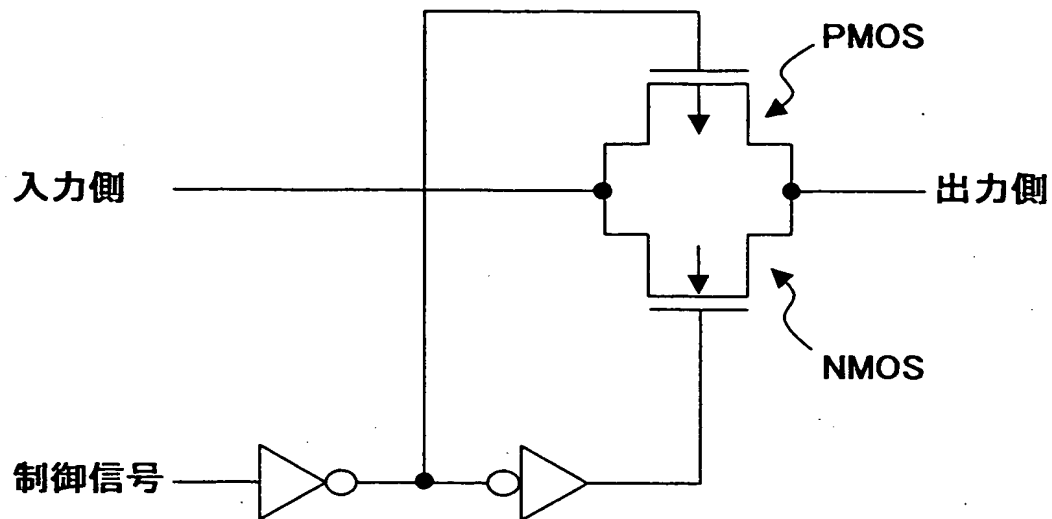
30 デコーダ回路



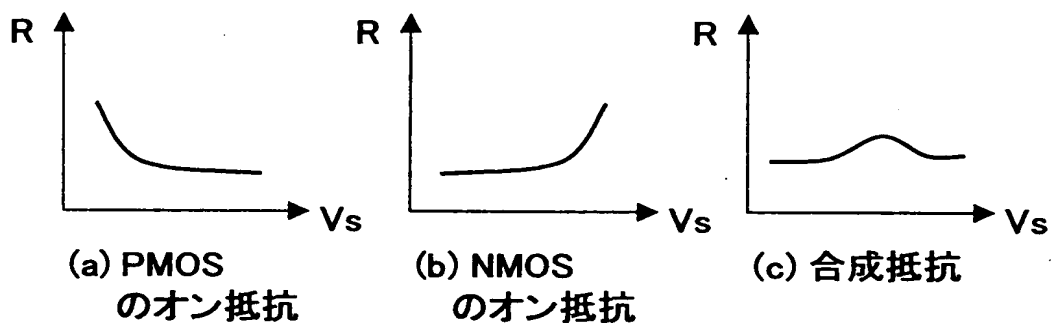
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 変換精度及び変換速度の向上を図ることの可能なD/A変換回路を提供する。

【解決手段】 基準電位側スイッチたるPMOSトランジスタP1～P7は、基準電位端子V_{ref}と基準電位側抵抗R1との間の経路を切り替えるために用いられるため、PMOSトランジスタP1～P7に印加される電位は、すべて基準電位で共通である。このことは接地電位側スイッチたるNMOSトランジスタN0～N7についても同様である。その結果として、D/A変換精度の向上を図ることが可能である。また、アナログスイッチを用いないので、回路内の寄生容量による電圧レベル変化の遅延を防止することができ、変換速度の向上を図ることが可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [591049893]

1. 変更年月日 1999年 6月17日

[変更理由] 名称変更

住 所 宮崎県宮崎郡清武町大字木原7083番地

氏 名 株式会社 沖マイクロデザイン